

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000256099 A**(43) Date of publication of application: **19.09.00**

(51) Int. Cl.

**C30B 29/42**  
**H01L 21/338**  
**H01L 29/812**(21) Application number: **11057893**(22) Date of filing: **05.03.99**(71) Applicant: **SUMITOMO ELECTRIC IND LTD**(72) Inventor:  
**NAKAJIMA SHIGERU**  
**KUWATA NOBUCHIKA**  
**SAKAMOTO RYOJI**  
**NAKADA TAKESHI**(54) **SEMICONDUCTOR DEVICE**

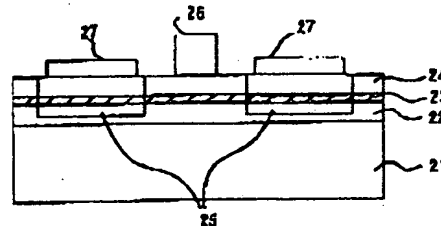
by which the FET is completed.

(57) Abstract:

COPYRIGHT: (C)2000.JPO

**PROBLEM TO BE SOLVED:** To improve the gate drain voltage resistance of a field effect transistor(FET) used an epitaxial layer grown on a substrate and to decrease substrate leak current by doping both elements of chromium and carbon to a GaAs substrate used for epitaxial growth of a compound semiconductor material thereby forming the semi-insulative substrate having specific resistance of a specific value or above.

**SOLUTION:** The concentration of the chromium to be added is 0.01 to 0.2 wtppm, the concentration of carbon is  $2.0 \times 10^{15} \text{ cm}^{-3}$  and the specific resistance of the substrate is  $4.0 \times 10^7 \Omega \text{ cm}$ . An undoped GaAs layer 22, Si-doped GaAs layer 23 and undoped GaAs layer 24 are respectively vapor grown by an OMVPE method on the semi-insulative GaAs substrate 21. After the entire layer is grown, the Si ions of the  $n^+$  layer 25 are selectively implanted down to the depth arriving at the undoped GaAs layer 22 and the implanted ions are heat treated to obtain a donor. Various electrodes including gate electrodes 26 and ohmic electrodes 27 are formed and thereafter, the unnecessary parts are etched away



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-256099  
(P2000-256099A)

(43) 公開日 平成12年9月19日 (2000.9.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
C 3 0 B 29/42		C 3 0 B 29/42	4 G 0 7 7
H 0 1 L 21/338		H 0 1 L 29/80	B 5 F 1 0 2
29/812			

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平11-57893

(22) 出願日 平成11年3月5日 (1999.3.5)

(71) 出願人 000002130

住友電気工業株式会社  
大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 中島 成

神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

(72) 発明者 桑田 展周

神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

(74) 代理人 100078813

弁理士 上代 哲司 (外2名)

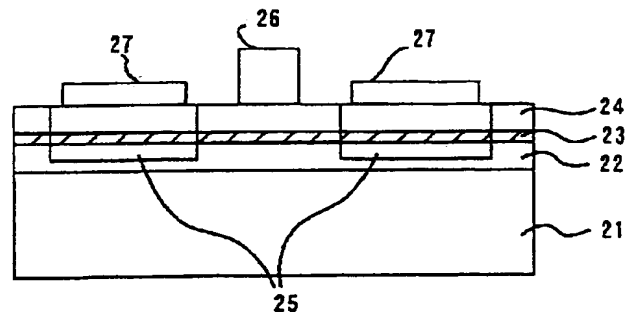
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 半絶縁性基板上に作製されたエピタキシャル層をベースとするFETにおいて、ゲートドレイン間の耐圧を高め、基板リーク電流を減少させる。

【構成】 LEC法、あるいはVB法による成長したエピタキシャル成長用の半絶縁性GaAs基板において、炭素を $0.4 \sim 1.0 \times 10^{16} \text{ cm}^{-3}$ 、Crを $0.01 \sim 0.2 \text{ wt ppm}$ 含み、比抵抗が $4.0 \times 10^8 \Omega \text{ cm}$ 以上の特性を有する。この基板上に成長したFETにおいては、ドレイン耐圧が20V確保され、かつ基板のリーク電流が $5 \mu \text{ A}$ 以下となる。



## 【特許請求の範囲】

【請求項1】 化合物半導体材料のエピタキシャル成長に用いられるGaAs基板であって、クロム(Cr)と炭素(C)の両方の元素がドーブされ、 $4.0 \times 10^7 \Omega \text{cm}$ 以上の比抵抗を有する半絶縁性基板。

【請求項2】 前記添加されたクロムの濃度が0.01wtppm~0.2wtppmであり、前記添加された炭素の濃度が $2.0 \times 10^{15} \text{cm}^{-3}$ 以上である請求項1のGaAs基板。

【請求項3】 クロム及び炭素がドーブされ比抵抗 $4.0 \times 10^7 \Omega \text{cm}$ 以上の半絶縁性GaAs基板と、該GaAs基板上的ドナー不純物となる元素が $1.0 \times 10^{18} \text{cm}^{-3}$ 以上ドーブされ厚さが5nm乃至20nmのパルスドーブ層と、該パルスドーブ活性層上のアンドープGaAs層と、該アンドープGaAs層に接するゲート電極と、該ゲート電極を挟み該パルスドーブ層に達する深さを有する高濃度Si注入層と、該高濃度Si注入層上の該ゲート電極を挟んで設けられたオーミック電極、とを含んで構成される電界効果トランジスタ。

【請求項4】 前記パルスドーブ層にかえ、該GaAs基板上的ドナー不純物となる元素が $1.0 \times 10^{18} \text{cm}^{-3}$ 以上ドーブされ厚さが5nm乃至20nmの第1のパルスドーブ層と、該パルスドーブ層上の厚さ10nm乃至20nmのアンドープGaAs層と、該アンドープGaAs層上の厚さ5nm乃至20nmの第2のパルスドーブ層、とを有する、請求項3に記載の電界効果トランジスタ。

【請求項5】 前記アンドープGaAs層は、前記パルスドーブ層と接する界面において所定の不純物濃度を有し、前記界面から前記ゲート電極側に離れるにつれて不純物濃度が減少するグレーディッドなドーブ層である、請求項3に記載の電界効果トランジスタ。

【請求項6】 前記アンドープGaAs層にかえ、アンドープAlGaAs層を備える請求項3に記載の電界効果トランジスタ。

【請求項7】 該GaAs基板の前記トランジスタが形成される面と対向する面に接地電極を備えている、請求項3に記載の電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はエピタキシャル用のGaAs基板に関する。

## 【0002】

【従来の技術】 GaAsの半絶縁性を確保するメカニズムとしては、以下のものが知られている。すなわち、GaAs中にCrを添加することにより得られる。CrはGaAs中では深いアクセプタとして働き、基板中に残

留する浅いドナー準位からの電子を、こと深いCr準位で補償する機構がある。

【0003】 第2番目としては、As原子がGa原子位置に置換型で入り込んだ状態と考えられるEL2準位に起因するもの。このEL2は深いドナー準位として働き、伝導帯の自由電子を捕獲するが、捕獲しきれずに残った伝導電子を浅いアクセプタ準位で補償する。浅いアクセプタ準位としてはC(炭素)が知られている。この為Cのドーブ量が多いと基板の抵抗は高くなり半絶縁性は向上する。

## 【0004】

【発明が解決しようとする課題】 しかしながら、これまでのエピタキシャル用半絶縁性GaAs基板においては次のような問題があった。

【0005】 まず、Crを添加する場合には、Cr濃度を $10^{16} \text{cm}^{-3}$ 以上添加しないと、残留ドナーを補償して半絶縁性を確保することが難しいのであるが、CrのGaAs中での溶解度が極めて小さく、基板全面に渡って均一なCr濃度を有する基板を得ることが困難であった。さらに、LEC法やVCZ法で大量のCr添加基板を作製しようとする、引き上げインゴットの最初に固化した部分と、最後に固化した部分とでCr濃度が桁違いに異なったり、極端な場合にはCr原子が析出したりした。

【0006】 また、Cを多く添加した基板においては、EL2という深いドナー準位を介在とする半絶縁性機構のため、この深いドナー準位から励起される寿命の長い伝導電子が基板のリーク電流を増加させてしまう。すなわち、EL2準位は伝導帯の底から0.75eVだけ低下した、ほぼGaAs禁制帯の中央付近にエネルギー準位がある。C濃度を増加していくと、フェルミ準位がこのEL2準位にピンニングされるようになり、容易に電子を吐き出すことが可能となる。吐き出された電子がCによる浅いアクセプタで補償されることで、抵抗値は高くなるが、EL2準位から電子が励起される確率が上昇してしまい、リーク電流は増加する。

【0007】 このような絶縁性を確保するメカニズムが異なるので、前述のCrを添加した基板では、基板へのリーク電流は抑制されるが、この基板上に作製したFETのゲートドレイン間の逆耐圧を向上させることができない。一方、Cを添加した基板では全く逆の現象が発生し、基板へのリーク電流が増加してしまうのに、作製したFETのゲートドレイン間の耐圧を向上させることができる、という課題があった。

## 【0008】

【課題を解決するための手段】 本発明によるGaAs半絶縁性基板においては、CrとCの両者がドーブされていることを特徴とする。好ましくは、C濃度は $4.0 \times 10^{15} \text{cm}^{-3}$ 乃至 $1.0 \times 10^{16} \text{cm}^{-3}$ の範囲にあり、Cr濃度が0.02ppma乃至0.1ppmaの範囲

にあることを特徴とする。

#### 【0009】

【発明の実施の形態】以下図面を参照して本発明を説明する。

【0010】図1は本発明によるC、Cr共ドープの状態を説明するバンド図である。深いアクセプタ準位はCrに起因するもので、価電子帯より上0.79 eVに位置する。深いドナー準位はEL2によるもので、伝導帯底より0.75 eV浅い準位を、いずれも禁制帯中に形成する。そして残留する浅いドナー、浅いアクセプタの両準位が存在する。浅い残留ドナー準位は主にSiに起因し、浅いアクセプタは主にCに起因する。

【0011】第2図はLEC (Liquid Encapsulate Czochralski) 法と呼ばれる結晶成長法を示す成長炉の断面図である。ドーナツ状のヒータ11、12の中央部のるつぼ6に入れられたGaAs溶液5があり、その溶液の液面には種結晶2を介して回転棒1に支えられたGaAs単結晶3が接している。11a~12bはそれぞれヒータ11、12の一断面を表す。GaAs溶液5の表面全体は表面封止材4に覆われている。

【0012】この装置でGaAs単結晶の成長は次の方法で行われる。まず、成長しようとするGaAs全てを溶かした溶液を、1250℃以上の十分に高温に保持し、完全に溶液とする。この時、封止材である例えばB<sub>2</sub>O<sub>3</sub>は400℃以上では液体であり、GaAsとの比重の関係でGaAs上に浮き、GaAs溶液表面から蒸気圧の高い砒素(As)が解離するのを防ぐ機能をもっている。

【0013】次に、ヒータの温度をGaAs溶液表面が融点の1240℃程度になるように調整する。その後、上方よりGaAs種結晶を徐々に降下させ、封止材のB<sub>2</sub>O<sub>3</sub>を突き抜けその先端を液面に接触させる。この時、種結晶2は回転棒の動きにより自転動作を行っている。回転動作は種結晶の先端部での温度の均一性を高めるために行い、その速度としては10~40 rpm程度である。回転が速すぎると液面を乱し、固化時の温度不均一を招いてしまうため、その上限は40 rpm程度に押さえられる。その後、種結晶を徐々に引き上げることで、その先端にはGaAs溶液が固化して単結晶が成長する。得られる単結晶の直径は引上げ速度に依存するが、20~40 mm/時程度で直径3インチのGaAs単結晶を得ることができる。単結晶の径は引き上げ速度と、液面10の温度勾配で決定され、引上げ速度が遅いほど、また温度勾配が小さいほどに径は大きくなる。単結晶が成長するにつれGaAs液面は下降し、液面での温度も変化してしまうが、液面位置とその温度を監視することで、これを補償する必要がある。またこの装置全体は窒素、アルゴン、ヘリウム等の不活性ガスあるいは、Asを含む雰囲気化におかれ、成長した単結晶表面を汚染やヒ素の離脱から保護する。

【0014】GaAs原材料は、GaとAsとそれぞれ同じ封管内に封止し、これを昇温させAsを気化しGaと反応させることにより作製する。EL2濃度を確保するために、最初の溶液においてはストイキオメトリ値からGaリッチ側にその組成を変更する。EL2の原因はGaサイトに進入したAs原(アンチサイトAs)に起因するため、Ga空孔を減らす目的でGaリッチの組成を原材料とする。さらに、EL2から吐き出される伝導電子を補償するために、浅いアクセプタを形成する元素としてのCをこの原材料中に混和させる必要がある。

【0015】ここで、浅いアクセプタを形成する元素としては、Cに代えてアルカリ金属である、リチウム(Li)、マグネシウム(Mg)、亜鉛(Zn)、カドミウム(Cd)などが適用可能である。この場合これら元素のGaAs中での溶解度、および偏析係数(GaAs固体と液体とでの溶解度の差)に留意しなければならない。この係数が小さい場合には、結晶を上げる際の初期部分では元素の含有量が少なく、進行するに従い含有量が増加してしまう。Cについてはこの値が0.8と比較的大きく、得られた単結晶中ではほぼ均一な分布を示す。

【0016】Cは装置を構成する材料中に多少なりとも含有されている元素であり、意図的に添加せずとも通常の結晶中には $10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 程度は必ず含まれている。このGaAs原溶液を作成する際に、上記GaとAsの反応を経た後の溶液中にCを加えることで、この不純物添加を行った。Cの量はGaAs溶液の量との関係で決定されるが、CのGaAs中への偏析係数は比較的大きく、十分均一に溶解し、かつ得られた結晶中の分布もほぼ均一となる。

【0017】GaAs原材料中へCを添加することに加え、本発明においてはCrを添加することを特徴とする。Crの濃度としては0.01 wt ppm ( $4.4 \times 10^{14} \text{ cm}^{-3}$ )乃至0.2 wt ppm ( $8.8 \times 10^{15} \text{ cm}^{-3}$ )が必要であり、このCr濃度を確保するためには、0.5乃至 $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度のCr添加が必要である。また、CrのGaAsへの偏析係数は $6 \times 10^{-4}$ と非常に小さいために、成長した結晶中でCrの偏析が問題となるが、このような少量添加の場合には、顕著な不均一性を示すことがない。

【0018】このLEC法および本発明によるCrとCの共添加法を用いた、半絶縁性GaAs基板においては、比抵抗が $1.0 \times 10^8 \Omega \text{ cm}$ と十分な絶縁性を示し、また転移密度も $5 \sim 8 \times 10^4 \text{ 個/cm}^2$ と、エピタキシャル成長用の絶縁性基板として十分な性能を示した。

【0019】図3は本発明の半絶縁性基板を得る他の方法を示す図である。VB (Vertical Bridgman) 法と呼ばれる方法であり、GaAs原材料を封管6内に封入し、これをヒータ11、12を備える炉内に導入する。

封管の材質としては石英、BN（窒化ボロン）等が用いられる。封管内にはGaAs種結晶3を設けておき、この種結晶の上部付近の温度が1250℃以上の高温になるようにヒータ温度を設定する。十分原材料を熔融した後、封管全体を回転させながらこれを徐々に降下させると、原材料の種結晶寄りの部分から徐々に結晶化が進む。

【0020】この時の単結晶の口径は封管の径で制限されるので、封管の降下速度、回転速度には異存しない。両方の条件はいずれも、原材料の固体/液体界面10での温度の均一性、温度勾配を左右し、成長した単結晶の結晶性を決定する。種々の環境条件にもよるが、降下速度としては数分/mm～数十分/mmであり、数rpm～数十rpmの範囲が一般的である。

【0021】このVB法による成長の場合においても、ドーパントであるC、CrはGaAs原材料と同時の封管ないに導入され、またその時の量もLEC法の場合と同様である。また残留C濃度もLEC法の場合とほぼ同様な値を示し、0.8乃至 $2.0 \times 10^{15} \text{ cm}^{-3}$ となった。さらに、GaAs原材料についても、予めGaとAsを気相反応でGaAsとした上で封管に導入する。LEC法で用いた封止材である $\text{B}_2\text{O}_3$ は、このVB法では用いる必要はない。石英、BNなどの封管に機密封止されることで、管内はAsの蒸気圧が高くなり単結晶表面からのAsの解離を防止することができる。

【0022】本VB法により得られた半絶縁性GaAs基板は、比抵抗が $1.0 \times 10^8 \Omega \text{ cm}$ の値を示し、また、転移密度が $3 \sim 8 \times 10^3 \text{ 個/cm}^2$ と、LEC法により作製された基板以上の特性を示した。

【0023】次に本発明による半絶縁性基板を用いた電界効果トランジスタ(FET)について説明する。

【0024】図4はFETの断面構造を示し、上で説明した半絶縁性GaAs基板21上に厚さ1μmのアンドープGaAs層22、厚さ10nmでキャリア密度 $2.0 \times 10^{18} \text{ cm}^{-3}$ のSiドーブGaAs層23、厚さ40nmのアンドープGaAs層24を、それぞれOMVPE法により気相成長した。全層を成長した後、n+層25のSiイオンをパフアー層22まで達する深さで選択イオン注入し、この注入イオンを熱処理してドナーとした。ゲート26、オーミック27の各電極を形成した後、不要部をエッチング除去してFETを完成する。

【0025】ここで、半絶縁性基板21としては、Cr濃度が0.1wtppm、C濃度が $4.0 \times 10^{15} \text{ cm}^{-3}$ のものを用いた。この時の基板の比抵抗は $1.0 \times 10^8 \Omega \text{ cm}$ である。この基板上およびC濃度の異なる基盤上に作製されたFETのゲートドレイン耐圧を比較検討した。ここで耐圧は、ゲートドレイン間に逆バイアス電圧を印加してゆき、ゲート幅1μmあたりに電流として1μAの逆方向リーク電流が流れる時の印加電圧を耐圧とした。

【0026】図5は、種々の比抵抗の基板（C濃度を変えた基板）についての、上記ゲート耐圧の関係を示すものである。この時Crは添加していない。LEC法あるいはVB法により成長した基板では、残留のC濃度は最高でも $2.0 \times 10^{15} \text{ cm}^{-3}$ 程度あり、この場合にはドレイン耐圧としては18V程度しか確保されない。この時の基板比抵抗は $3.5 \times 10^7 \Omega \text{ cm}$ 程度は確保される故、半絶縁性基板として用いることは可能である。

【0027】C濃度を高めてゆき、 $4.0 \times 10^{15} \text{ cm}^{-3}$ ドーブした基板では、比抵抗が $1.0 \times 10^8 \Omega \text{ cm}$ まで高めることができ、その時のFETドレイン耐圧も23V以上確保される。しかしながら、このCのみをドーブした基板においては、Cによる絶縁性確保の機構が深いドナー準位に起因するものである故、このC準位に捕獲された電子が、伝導帯に励起されることによる基板のリーク電流が顕著となってくる。

【0028】基板リーク電流は次の方法で測定された。厚さ650μmの基板裏面全面に金属電極を設け、基板の表面側に作製した一辺80μmの正方形の電極との間に、バイアス電圧20Vを印加した特に流れる電流を測定した。Crを共添加しないCドーブ基板（C濃度 $4.0 \times 10^{15} \text{ cm}^{-3}$ ）では、リーク電流が17μAであったものが、Crを添加するに従い減少し、Cr濃度0.1wtppmにおいては、この値が5.0μAにまで低減した。この時基板の比抵抗はCr濃度には大きくは異存せず、ほぼ $1.0 \times 10^8 \Omega \text{ cm}$ と一定であった。

【0029】このことは、Cドーブ基板の絶縁性補償機構が、EL2の深いドナー準位と、Cの浅いアクセプタとの間の相互の補償機構によるために、EL2から伝導帯に励起された電子が、基板リーク電流となって現れることに起因している。Crを共添加することで、Crによる深いアクセプタにこの励起電子が捕獲される結果、基板リーク電流が減少する。

【0030】上記説明においては、FETの活性層としてドナー不純物のSiが高濃度でドーブされた薄い層（いわゆるパルスドーブ層）が単一のものを例として挙げた。本発明はこの単一のパルスドーブ層に制限されるものではなく、例えば図6に示されるような、パルスドーブ層が2層（ダブルパルスドーブ層）のもの、あるいは図7の単一のパルスドーブ層の上に積層されるノンドーブ層24に対し、パルスドーブ層側から漸次Siの添加濃度を低めた、グレーディッドパルスドーブ層に対しても、同様に適用可能である。

【0031】ダブルパルスドーブ層においては、基板深い側のパルスドーブ層が、ゲート電極によって変調される変調電流が主に流れる層となり、表面側のパルスドーブ層は、表面空乏層がこの主チャンネル層に及ぶのを抑制する働きがある。この構造においては、表面側の空乏層の影響が現象するため、ゲートバイアスを浅くしても（正のゲートソース間電圧を与えても）、表面空乏層

の影響による電流の飽和効果を避けることができる。後者の構造においては、Si濃度がグレーディッドに変化する表面層が、上記ダブルパルスドープ層における表面側のドープ層と同じ作用をもたらし、表面空乏層が主チャネル層たるパルスドープ層にまで広がるのを防いでいる。

【0032】また上記のいずれのFETにおいても、最表面層24としてノンドープのGaAsを用いているが、本発明によるFETはこの材料に限定されることはない。例えば、ノンドープのAlGaAsを用いることも可能である。AlGaAsは、Al対Gaの全ての組成範囲に渡って、ほぼGaAsに整合する格子定数を有するため、GaAsパルスドープ層上に積層する厚さを制限されることはない。さらに、AlGaAsは常にGaAsよりも禁制帯幅が大となるため、ゲート金属との間の接触ポテンシャルを大きくすることができる。

【0033】さらに、本発明の効果はパルスドープ型FETに制限されるものではなく、エピタキシャル成長により作製される、例えば高移動度電界効果トランジスタ(HEMT)にも同様に適用できるものである。

#### 【0034】

【発明の効果】本発明による半絶縁性GaAs基板を用いることにより、Cが比較的高い濃度でドープされているために、この基板上に成長されたエピタキシャル層を用いたFETのゲートドレイン耐圧を向上させることが可能となることに加え、Crを共添加しているために、基板リーク電流を減少させることが可能となる。その結果、FETの相互コンダクタンス $G_m$ の周波数特性を補償することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明による半導体基板の絶縁メカニズムを説明する図である。

【図2】LEC法による結晶成長を説明する図である。

【図3】VB法による結晶成長を説明する図である。

【図4】本発明によるFETの断面構造を示す図である。

【図5】C濃度と基板の比抵抗、FETのドレイン耐圧の関係を説明する図である。

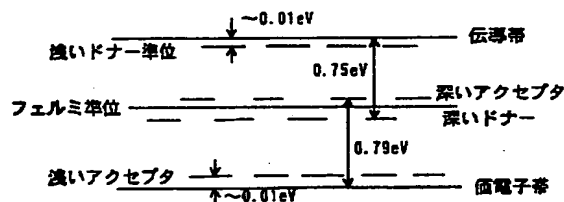
【図6】第2の実施の形態を説明する図である。

【図7】第3の実施の形態を説明する図である。

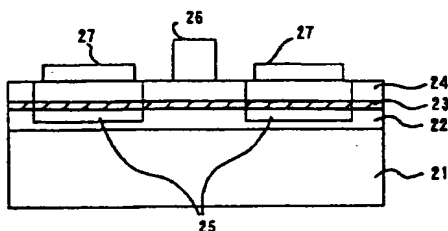
#### 【符号の説明】

- 1：回転棒
- 2：GaAs溶液
- 3：種結晶
- 4： $B_2O_3$ キャップ材
- 5：GaAs単結晶
- 10：固液界面
- 11、12：ヒータ
- 21：半絶縁性GaAs基板
- 22：アンドープGaAs層
- 23：Siドープパルスドープ層
- 24：アンドープGaAs層
- 25： $n^+$ 層
- 26：ゲート電極
- 27：オーミック電極
- 28：アンドープGaAs層
- 29：第2のパルスドープ層
- 30：グレーディッドなドープ層

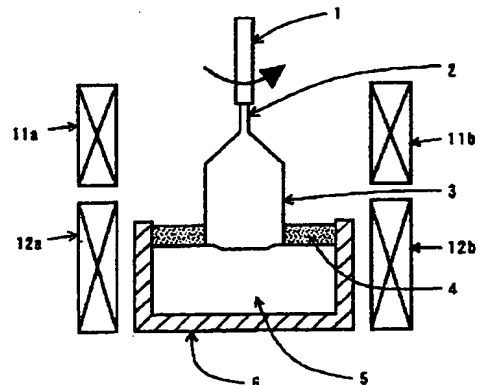
【図1】



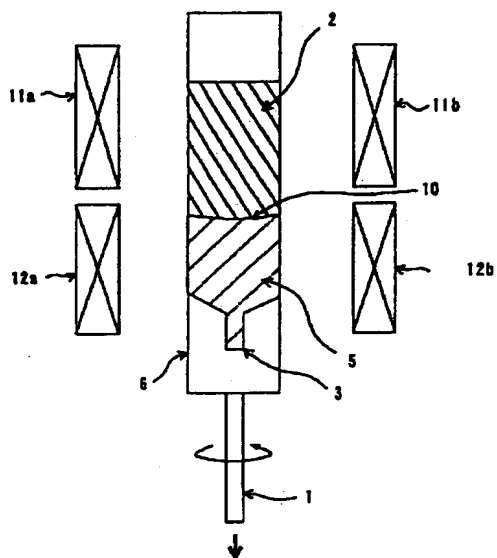
【図4】



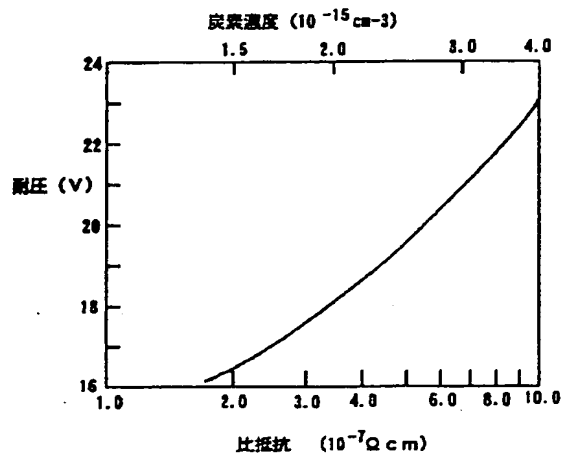
【図2】



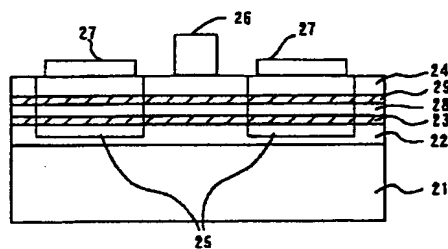
【図3】



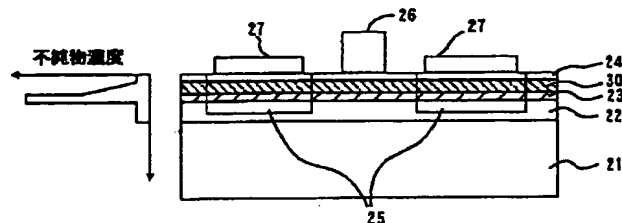
【図5】



【図6】



【図7】



フロントページの続き

(72) 発明者 坂本 良二  
 神奈川県横浜市栄区田谷町1番地 住友電  
 気工業株式会社横浜製作所内  
 (72) 発明者 中田 健  
 神奈川県横浜市栄区田谷町1番地 住友電  
 気工業株式会社横浜製作所内

Fターム(参考) 4G077 AA02 AB01 BE46 CD02 CF10  
 EB05 EC01 EC08 ED06 HA06  
 HA12  
 5F102 FA01 GB01 GC01 GD01 GJ05  
 GK05 GL05 GL20 GM05 GM06  
 GM07 HC01 HC07 HC21